

論理回路

問題 1. 以下の問いについて、それぞれ指定された答案用紙に解答しなさい。

2 組の 4 ビット入力 $a_{in} = (a_3, a_2, a_1, a_0)$, $b_{in} = (b_3, b_2, b_1, b_0)$, 制御信号 x ($x=0$ のとき加算, $x=1$ のとき減算) を入力として出力 $s_{out} = (s_3, s_2, s_1, s_0)$ および桁上がり出力 c_{out} を出力する 4 ビット加減算回路を考える。ただし, a_0, b_0, s_0 はそれぞれの入出力の最下位ビットを表す。 a_{in}, b_{in} はそれぞれ正の数とする。また, 減算においては, c_{out} が 1 なら (s_3, s_2, s_1, s_0) の正の解となり, c_{out} が 0 なら (s_3, s_2, s_1, s_0) の 2 の補数を求めて負の解とする。下の各小問に答えよ。

(1-1) 全加算器 (a, b, c をそれぞれ 1 ビットの入力とし, 入力の 1 ビット和 s と上位への桁上がり c' を出力する回路) の出力 s および c' を表す論理式を, 積和形式の論理式として示せ。

(1-2) 全加算器 4 つと XOR ゲート 4 つを用いて 4 ビット加減算回路を構成せよ。ただし, 答案用紙のレイアウトを用いて解答すること。また, 図中の EA は全加算器である。XOR ゲートは, 下図を使うこと。



問題 2. 以下の問いについて、それぞれ指定された答案用紙に解答しなさい。

4 ビットの 2 進数を入力として, 入力値が素数であれば出力 f が 1 となり, 素数でなければ f が 0 となる回路を作りたい。ただし, 素数には 0 や 1 が含まれないことに注意せよ。以下の各小問に答えよ。

(2-1) 入力が 0~9 を表す 4 桁の 2 進数 (a_3, a_2, a_1, a_0) であった場合の f を積和形式の論理式として示せ。ただし, a_0 を最下位ビットとし, 0~9 以外の入力に対する出力は don't care とする。また, 答案用紙に与えられたカルノー図を用いてできるだけ簡単化すること。

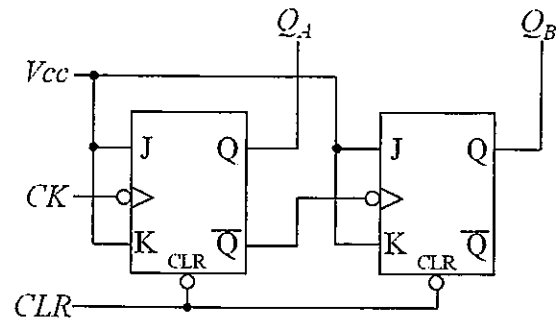
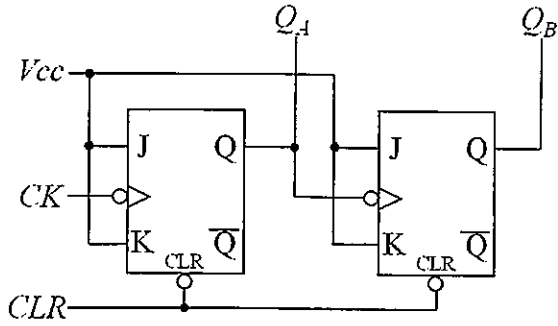
(2-2) (2-1) の回路を 2 入力の NAND ゲート 4 つのみを用いて図示せよ。

(次ページに続く)

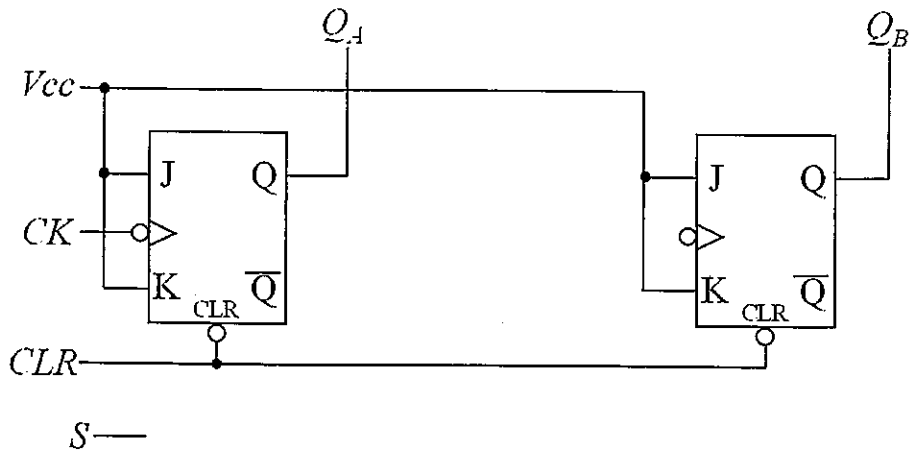
問題 3. 以下の問いについて、それぞれ指定された答案用紙に解答しなさい。

(3-1) 下図左に示す、ネガティブエッジトリガ型 JK フリップフロップ (JK-FF) を用いた回路のタイムチャートを完成させよ。フリップフロップの初期値はすべて 0 とする。

(3-2) 下図右に示す、ネガティブエッジトリガ型 JK フリップフロップ (JK-FF) を用いた回路のタイムチャートを完成させよ。フリップフロップの初期値はすべて 0 とする。



(3-3) 入力 S が 1 であれば 4 進アップカウンタ, S が 0 であれば 4 進ダウンカウンタとなるように、答案用紙に与えられた回路図に配線, AND ゲート, OR ゲート, NOT ゲートを書き加えよ。ゲートは複数使用してもよい。



以上