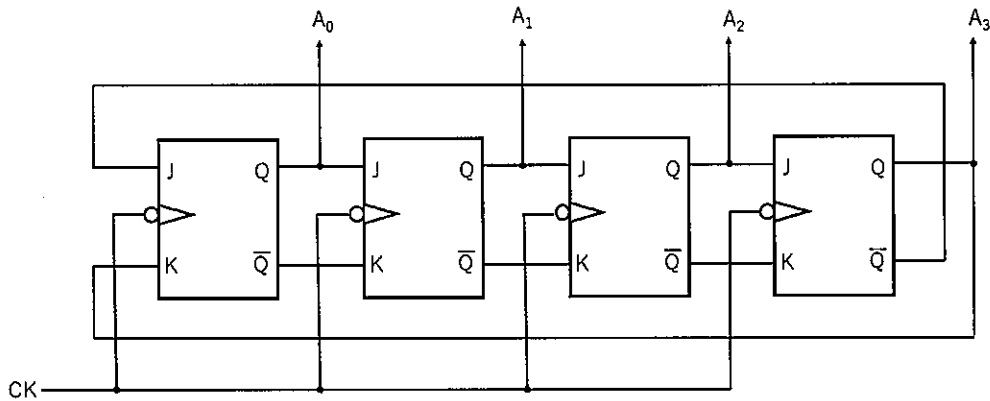


論理回路

問題 1. 以下の問いについて、それぞれ指定された答案用紙に解答しなさい。

- (1) 次の回路のクロックパルス入力に対する状態遷移図を示せ。状態は (A_0, A_1, A_2, A_3) (例えば $(1,0,0,1)$) のように示し、クロックパルス入力に対する遷移を矢印(\rightarrow)でつなぐ形で示せ。すべての状態を網羅すること。用いている素子はすべてネガティブエッジトリガ型 JK フリップフロップである。

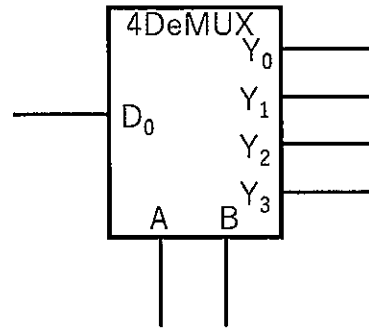


- (2) (1)の回路の出力を入力とし、0 から 7 までの数字(二進数で $X_2X_1X_0$, X_2 が最上位ビット)を 1 ずつカウントアップして繰り返し出力するカウンタを構成したい(注: (1)の回路のままだと数字が 1 ずつカウントアップされない)。各ビット $X_0 \sim X_2$ に対してまず真理値表を作成し、さらにカルノー図を用いて簡単化し、最後に簡単化した論理式を表せ。ただし、(1)の回路の出力(つまりこの回路の入力)が $(0,0,0,0)$ のとき 0 を出力するようにすること。関連しない入力(つまり(1)の回路で状態 $(0,0,0,0)$ から遷移しない状態)に対する出力は don't care とすること。

(次ページに続く)

問題 2. 以下の問いについて、それぞれ指定された答案用紙に解答しなさい。

- (1) 下図で示される 4 選択デマルチプレクサ (4DeMUX) の真理値表を作成せよ。4DeMUX の入力信号は D_0 、セクタは A, B 、出力は $Y_0 \sim Y_3$ である。4DeMUX の出力は、二桁二進数 AB (A が上位ビット) に対し、 Y_{AB} のみ D_0 が出力され、それ以外は 0 を出力するものとする。



- (2) (1) の 4DeMUX 2 個と NOT ゲート 1 個を用いて、入力 3 ビット、出力 8 選択のデコーダを構成せよ。完成する回路の入力を $C=C_2C_1C_0$ (C_2 が最上位ビット)、出力を $Z_0 \sim Z_7$ とし、完成する回路の真理値表を作成すること。デコーダの出力は Z_c のみ 1、それ以外は 0 とする。
- (3) (1) の 4DeMUX 1 個と OR ゲート 1 個を用いて、二進数 X_1X_0 (X_1 が上位ビット) を入力し、その 3 倍の値 $Z_3Z_2Z_1Z_0$ (Z_3 が最上位ビット) を出力する回路を構成せよ。完成する回路の真理値表を作成すること。

以上