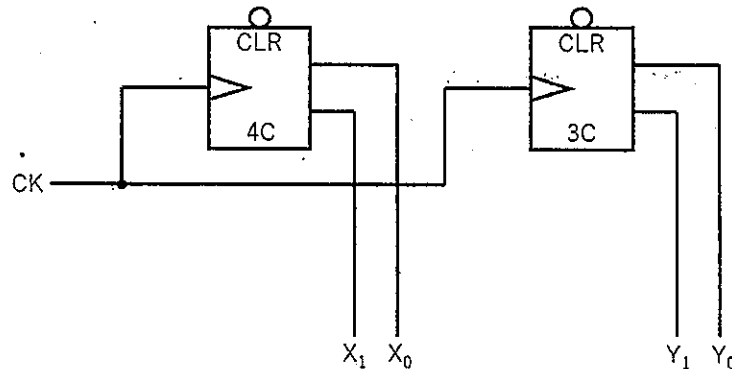


論理回路

問題 1. 以下の問いについて、それぞれ指定された解答用紙に解答しなさい。



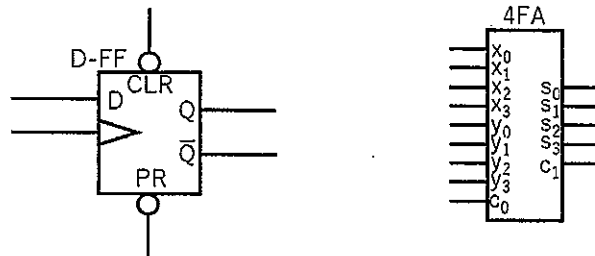
- (1) 上の図のように 4 進カウンタ (4C) と 3 進カウンタ (3C) をクロック信号 CK に並列に接続した回路を考える。この回路にできるだけ少ない数の AND ゲートおよび NOT ゲートを加えて 10 進カウンタを構成せよ。ただし、以下の条件を考慮すること
 - ・ 4 進カウンタ (4C), 3 進カウンタ (3C) はいずれも 0 から 1 ずつインクリメントし、それぞれ、3 および 2 の次は 0 に戻るものとする。
 - ・ 構成する 10 進カウンタのカウントする数字の順序は問わず 10 サイクルで循環する回路でよいものとする。
 - ・ CLR はクリア端子であり、クロックに関係なく負論理でカウンタの状態を 0 とするものとする。
 - ・ X_1 , Y_1 はいずれも上位ビット, X_0 , Y_0 はいずれも下位ビットである。
- (2) (1) の回路の出力はそのままではカウントアップにはなっていないが、さらに回路を付け加えて 0 から 9 まで順にインクリメント出力するようしたい。入力 X_0 , X_1 , Y_0 , Y_1 から出力 Z_0 , Z_1 , Z_2 , Z_3 (Z_3 は最上位ビット、 Z_0 は最下位ビット) を出力するものとして、入出力の関係を表す論理関数を解答用紙の真理値表として表せ。
- (3) (2) の論理関数を構成する論理式を、カルノー図を用いてできるだけ簡単な積和形式で示せ。関連しない入力は入力禁止、それに対する出力は don't care とすること。

(次ページに続く)

問題 2. 以下の問いについて、それぞれ指定された解答用紙に解答しなさい。

(1) 以下の図で表される D フリップフロップ (D-FF) 8 個と 4 ビット全加算器 (4FA) 1 個を用いて、以下のような動作をする回路を構成せよ。

- ・ 2 つの 4 ビット二進数 $A=A_3A_2A_1A_0$ および $B=B_3B_2B_1B_0$ (A_3, B_3 が最上位ビット, A_0, B_0 が最下位ビット) の値を保持する。
- ・ 外部からのクロック入力 CK の立ち上がりのたびに B を A に更新し, A を $A+B$ (A と B の和) の下位 4 ビットを上位から順に更新する。
- ・ 1 ビットの入力 R は通常 1 に固定しておき, 一瞬だけ 0 にすることにより (クロックタイミングにかかわらず) $A=1, B=1$ (いずれも二進数で 0001) にセットする。
- ・ 外部には $A+B$ の値 $P=P_4P_3P_2P_1P_0$ (P_4 が最上位ビット, P_0 が最下位ビット) を出力する。



ただし, D-FF の CLR はクリア, PR はプリセットでいずれも負論理, D はデータ入力, クロックはポジティブエッジトリガ型, Q, $\bar{Q}$ は出力である. 4FA は $x_3x_2x_1x_0$ と $y_3y_2y_1y_0$ および下位ビットからの桁上げ c_0 を入力として, それらの和を $c_1s_3s_2s_1s_0$ として出力するものとする. (x_3, y_3, c_1 が最上位ビット, x_0, y_0, s_0 が最下位ビット)

(2) (1) の回路において, $A=B=1$ (つまり 0001) から始まる状態遷移を示せ. 状態は A, B の値を用いて, (1, 1) のように記すこと.

以上