

論理回路

問題 1

4 ビット入力 $X = X_3X_2X_1X_0$ に対し、それを左から右に読み取るとき、隣接ビット間の値が変化した回数 Y を出力する回路を考える。つまり、 Y は $(X_3 \oplus X_2) + (X_2 \oplus X_1) + (X_1 \oplus X_0)$ である(この式では \oplus は XOR を、 $+$ は OR ではなく「加算」であることに注意)。出力は 2 ビットの 2 進数 $Y = Y_1Y_0$ (Y_1 が上位桁) とする。このとき、以下の問いに答えよ。

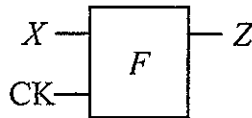
- (1) Y_0, Y_1 を $X_0 \sim X_3$ の積和形式の論理式として表せ。回答用紙の書式にて真理値表を作成したのち、カルノー図を用いて簡単化すること。
- (2) Y_0 を出力する回路を入力 $X_0 \sim X_3$ と XOR 素子のみを用いて構成せよ(すべての入力を使う必要はない。XOR 素子の個数は自由)。XOR の記号は、下記を使うこと。



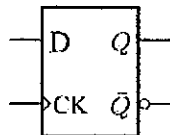
- (3) Y_1 を出力する回路を入力 $X_0 \sim X_3$ と XOR 素子 3 つ以下、AND 素子 3 つ以下、OR 素子 3 つ以下を用いて構成せよ。

問題 2

1 ビット入力 X が次々と入力される順序論理回路 F (下図) を考える。この回路はクロック入力 CK のポジティブエッジに対して、そのときの X の値とひとつ前の CK のポジティブエッジ時の X の値が異なった場合に $Z = 1$ 、そうでない場合に $Z = 0$ を出力する。ただし、最初の X の 1 つ前の入力は 0 だったとする(初期出力 0)。また、 CK のポジティブエッジ以外のタイミングでは出力は変化させない。



- (1) X に $(0, 1, 1, 0, 0, 1, 0)$ が入力されたときのタイムチャートを示せ。回答用紙に示すように、 X はクロック入力 CK より充分早いタイミングで変化している。
- (2) この回路をポジティブエッジ型 D-FF (フリップフロップ) 2 個以下と必要な論理演算素子 (AND, OR, XOR 等自由に) を用いて構成せよ。D-FF は以下の図で表す。D-FF において D は入力、 CK はクロック、 Q は出力(初期値 0) である。



- (3) 順序論理回路 F に D-FF を 2 個以下と XOR 素子 2 個以下、AND 素子 1 個以下を追加し、入力 X が変化するたびに出力 $Y = Y_1Y_0$ の値がカウントアップされる回路を構成せよ(出力は、 $0, 1, 2, 3, 0, 1, \dots$ と 0 から 3 まで繰り返す)。

(問題終わり)