

論理回路

問題 1. 以下の問いについて、それぞれ指定された解答用紙に解答しなさい。

- (1) 2016 年 8 月の土日祝日（以下休日と呼ぶ）は下記のとおりである。入力 $x = x_4x_3x_2x_1x_0$ (x_4 が最上位ビット, x_0 が最下位ビット) に対して, 8 月 x 日が休日の時に 1, 休日ではないときに 0 となる論理関数を積和形式の論理式で表せ. $x=0$ の場合の出力はどちらでもよい (don't care) ものとする. 解答用紙に用意された図を用いてカルノー図を構成して論理式を簡単化すること.

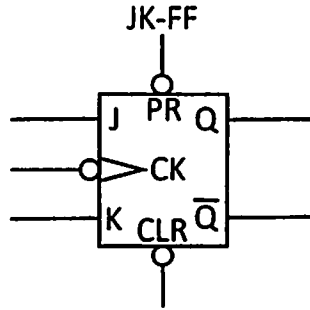
8 月の休日 : 8 月 6 日, 7 日, 11 日, 13 日, 14 日, 20 日, 21 日, 27 日, 28 日

- (2) 上記と同様の休日に関する関数を 9 月の場合について和積形式の論理式で表せ. ただし, 9 月の祝日は下記のとおりであり, これに土日を加えたものが 9 月の休日である. $x=0$ および $x=31$ の場合の出力はどちらでもよい (don't care) ものとする. 解答用紙に用意された図を用いてカルノー図を構成して論理式を簡単化すること.

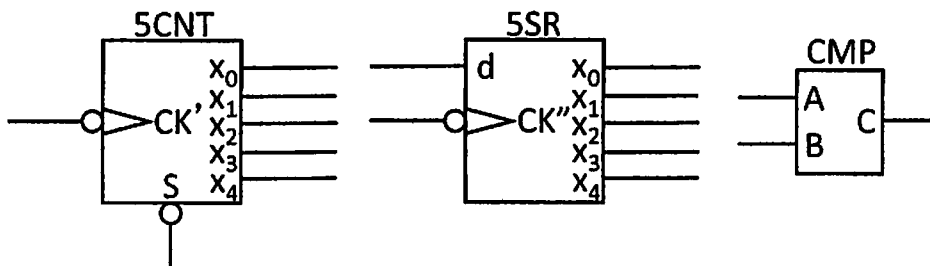
9 月の祝日 : 9 月 19 日, 22 日

問題 2. 以下の問いについて、それぞれ指定された解答用紙に解答しなさい。

- (1) 以下の図で表されるネガティブエッジトリガ型 JK フリップフロップ (JK-FF) 5 個, 2 入力 AND ゲート 3 個を用いて, 0 から 31 までカウントする 5 ビットの 32 進同期式カウンタを構成せよ. 出力を $x=x_4x_3x_2x_1x_0$ (x_4 が最上位ビット, x_0 が最下位ビット) とすること. 以下の図において CK はクロック, CLR, PR はそれぞれクリア (値を 0 にする), プリセット (値を 1 にする) で, いずれもクロックにかかわらず負論理 (0 にすると有効になる) で動作する端子である. 全体に対するクロック入力 CK' と $x=1$ (二進数で 00001) にセットするセット入力 S (負論理) を備えること.



- (2) ネガティブエッジトリガ型 JK フリップフロップ 5 個と NOT ゲート 1 個を用いて 5 ビットのシフトレジスタを構成せよ. 入力を d およびクロック CK'' , 出力を $x_4x_3x_2x_1x_0$ (x_4 が最上位ビット, x_0 が最下位ビット) とすること.
- (3) (1) で構成した回路を下記の 5CNT, (2) で構成した回路を下記の 5SR で表し, これらを 1 個ずつと, 下記の図で表されるコンパレータ CMP 5 個, 5 入力 NAND ゲート 1 個を用いてカウンタを構成せよ. ただし, シフトレジスタに設定した値を x ($0 \leq x < 32$) とするとき, $x > 0$ のときはカウンタが x になるとその瞬間 1 (二進数で 00001) にセットされ ($x-1$ 進カウンタ), $x=0$ の場合はカウンタが 0 になった瞬間に 1 (二進数で 00001) にセットされるよう (31 進カウンタ) にすること. 入力はカウンタのクロック CK_0 , シフトレジスタのクロック CK_1 , シフトレジスタの入力 d' , 出力はカウンタの値 $y_4y_3y_2y_1y_0$ (y_4 が最上位ビット, y_0 が最下位ビット) とすること. ここでコンパレータ CMP は, 入力 $A=B$ のとき出力 $C=1$ となり, それ以外のときには $C=0$ となる回路である.



以上